

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 7 9 0 4 7
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 7 9 0 4 7]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

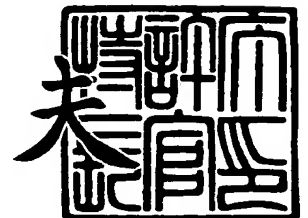
U.S. Appln. Filed 12-12-03
Inventor: S. Konishi et al
Mattingly Stanger & Malor
Docket H-1125



2 0 0 3 年 1 0 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02016961

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/02

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 小西 聡

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 遠藤 恒雄

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 中嶋 浩一

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 土屋 正明

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100083552

【弁理士】

【氏名又は名称】 秋田 収喜

【電話番号】 03-3893-6221

【手数料の表示】

【予納台帳番号】 014579

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体モジュール

【特許請求の範囲】

【請求項 1】 上面に配線を有し、下面に外部電極端子を有するモジュール基板と、

前記モジュール基板上に、能動素子を含む第 1 半導体チップ及び第 2 半導体チップと、

集積受動デバイスとを有し、

前記第 1 半導体チップ及び前記第 2 半導体チップのうちの一つの半導体チップと前記集積受動デバイスは重ねて前記モジュール基板の上面に搭載されていることを特徴とする半導体モジュール。

【請求項 2】 請求項 1 に記載の半導体モジュールにおいて、前記第 1 半導体チップ及び前記第 2 半導体チップは増幅回路を含み、前記第 1 半導体チップの出力が前記第 2 半導体チップに入力される構成になっていることを特徴とする半導体モジュール。

【請求項 3】 請求項 2 に記載の半導体モジュールにおいて、前記第 1 半導体チップ及び前記第 2 半導体チップの間に段間整合回路が設けられ、前記段間整合回路は前記集積受動デバイスで形成されていることを特徴とする半導体モジュール。

【請求項 4】 請求項 3 に記載の半導体モジュールにおいて、前記第 1 半導体チップの入力部に接続される入力整合回路と、前記第 2 半導体チップの出力部に接続される出力整合回路とを有し、前記出力整合回路はディスクリート部品の接続によって形成されていることを特徴とする半導体モジュール。

【請求項 5】 上面に配線を有し、下面に外部電極端子を有するモジュール基板と、

前記モジュール基板上に、能動素子を含む第 1 半導体チップ及び第 2 半導体チップと、

集積受動デバイスとを有し、

前記第 2 半導体チップ上に前記第 1 半導体チップが搭載されていることを特徴と

する半導体モジュール。

【請求項 6】 請求項 5 に記載の半導体モジュールにおいて、発熱量は前記第 1 半導体チップに比較して前記第 2 半導体チップが大きいことを特徴とする半導体モジュール。

【請求項 7】 請求項 6 に記載の半導体モジュールにおいて、前記モジュール基板の上面にディスクリット部品が搭載されていることを特徴とする半導体モジュール。

【請求項 8】 請求項 6 に記載の半導体モジュールにおいて、前記第 1 半導体チップ上に前記集積受動デバイスが配置されていることを特徴とする半導体モジュール。

【請求項 9】 請求項 6 に記載の半導体モジュールにおいて、前記第 1 半導体チップの上面に前記集積受動デバイスが搭載され、前記集積受動デバイスの上面に前記第 2 半導体チップが搭載されていることを特徴とする半導体モジュール。

【請求項 10】 請求項 9 に記載の半導体モジュールにおいて、前記モジュール基板の上面にディスクリット部品が搭載されていることを特徴とする半導体モジュール。

【請求項 11】 請求項 6 に記載の半導体モジュールにおいて、前記第 1 半導体チップ及び前記第 2 半導体チップは増幅回路を含み、前記第 1 半導体チップの出力が前記第 2 半導体チップに入力される構成になり、前記第 1 半導体チップ及び前記第 2 半導体チップの間に段間整合回路が設けられていることを特徴とする半導体モジュール。

【請求項 12】 請求項 11 に記載の半導体モジュールにおいて、前記第 1 半導体チップの入力部に接続される入力整合回路と、前記第 2 半導体チップの出力部に接続される出力整合回路とを有し、前記出力整合回路はディスクリット部品の接続によって形成されていることを特徴とする半導体モジュール。

【請求項 13】 上面に配線を有し、下面に外部電極端子を有するモジュール基板と、
能動素子が形成された第 1 半導体チップ及び第 2 半導体チップと、

第1集積受動デバイスとを有し、

前記第1半導体チップ及び前記第2半導体チップは前記モジュール基板の上面側において所定の距離を置いて配置されていることを特徴とする半導体モジュール。

【請求項14】 請求項13に記載の半導体モジュールにおいて、前記第1半導体チップの上面に第1集積受動デバイスが配置されていることを特徴とする半導体モジュール。

【請求項15】 請求項14に記載の半導体モジュールにおいて、前記モジュール基板の上面にディスクリート部品が搭載されていることを特徴とする半導体モジュール。

【請求項16】 請求項14に記載の半導体モジュールにおいて、前記モジュール基板の上面に第2集積受動デバイスが搭載され、前記第2集積受動デバイスと前記モジュール基板の間に能動素子を含む半導体チップが存在していないことを特徴とする半導体モジュール。

【請求項17】 請求項16に記載の半導体モジュールにおいて、前記モジュール基板の上面にディスクリート部品が搭載されていることを特徴とする半導体モジュール。

【請求項18】 請求項14に記載の半導体モジュールにおいて、前記モジュール基板の上面に第2集積受動デバイスが搭載され、前記第2半導体チップの上面に前記第2集積受動デバイスが搭載されていることを特徴とする半導体モジュール。

【請求項19】 請求項13に記載の半導体モジュールにおいて、前記第1半導体チップの下に前記第1集積受動デバイスが配置されていることを特徴とする半導体モジュール。

【請求項20】 請求項19に記載の半導体モジュールにおいて、前記第1集積受動デバイスは前記モジュール基板の上面にフリップ・チップ接続によって搭載されていることを特徴とする半導体モジュール。

【請求項21】 請求項20に記載の半導体モジュールにおいて、前記モジュール基板の上面にディスクリート部品が搭載されていることを特徴とする半導

体モジュール。

【請求項 22】 請求項 19 に記載の半導体モジュールにおいて、前記モジュール基板の上面にディスクリート部品が搭載されていることを特徴とする半導体モジュール。

【請求項 23】 請求項 13 に記載の半導体モジュールにおいて、前記第 1 半導体チップ及び前記第 2 半導体チップは増幅回路を含み、前記第 1 半導体チップの出力が前記第 2 半導体チップに入力される構成になり、前記第 1 半導体チップ及び前記第 2 半導体チップの間に段間整合回路が設けられ、前記段間整合回路は前記集積受動デバイスで構成されていることを特徴とする半導体モジュール。

【請求項 24】 請求項 23 に記載の半導体モジュールにおいて、前記第 1 半導体チップの入力部に接続される入力整合回路と、前記第 2 半導体チップの出力部に接続される出力整合回路とを有し、前記出力整合回路は複数のディスクリート部品の接続によって形成されていることを特徴とする半導体モジュール。

【請求項 25】 上面に配線を有し、下面に外部電極端子を有するモジュール基板と、

前記モジュール基板上に、能動素子を含む第 1 半導体チップ及び第 2 半導体チップとを有し、

前記第 1 半導体チップ及び前記第 2 半導体チップは前記モジュール基板の上面側において、水平方向に所定の距離を置いて配置され、

前記第 1 半導体チップ上に前記第 1 集積受動デバイスが搭載され、

前記第 1 半導体チップ及び前記第 2 半導体チップは増幅回路を含み、

前記第 1 半導体チップの出力が前記第 2 半導体チップに入力される構成になり、

前記第 1 半導体チップ及び前記第 2 半導体チップの間に段間整合回路が設けられ、

前記段間整合回路は前記第 1 集積受動デバイスで構成されていることを特徴とする半導体モジュール。

【請求項 26】 請求項 25 に記載の半導体モジュールにおいて、前記第 1 半導体チップの入力部に接続される入力整合回路と、前記第 2 半導体チップの出力部に接続される出力整合回路とを有し、前記出力整合回路はディスクリート部

品の接続によって形成されていることを特徴とする半導体モジュール。

【請求項 27】 請求項 26 に記載の半導体モジュールにおいて、前記第 1 半導体チップと前記モジュール基板、前記第 1 集積受動デバイスと前記モジュール基板は導電性のワイヤで電氣的に接続されていることを特徴とする半導体モジュール。

【請求項 28】 請求項 26 に記載の半導体モジュールにおいて、前記モジュール基板の上面に第 2 集積受動デバイスが搭載され、前記第 2 集積受動デバイスと前記モジュール基板の間に能動素子を含む半導体チップが存在していないことを特徴とする半導体モジュール。

【請求項 29】 請求項 28 に記載の半導体モジュールにおいて、前記第 2 集積受動デバイスと前記モジュール基板は導電性のワイヤで電氣的に接続されていることを特徴とする半導体モジュール。

【請求項 30】 上面に配線を有し、下面に外部電極端子を有するモジュール基板と、
能動素子を含む第 1 半導体チップ及び第 2 半導体チップとを有し、
前記第 1 半導体チップ及び前記第 2 半導体チップは前記モジュール基板の上面側において、水平方向に所定の距離を置いて配置され、
前記第 1 半導体チップ下に第 1 集積受動デバイスが配置され、
前記第 1 半導体チップ及び前記第 2 半導体チップは増幅回路を含み、
前記第 1 半導体チップの出力が前記第 2 半導体チップに入力される構成になり、
前記第 1 半導体チップ及び前記第 2 半導体チップの間に段間整合回路が設けられ、
前記段間整合回路は前記第 1 集積受動デバイスで構成されていることを特徴とする半導体モジュール。

【請求項 31】 請求項 30 に記載の半導体モジュールにおいて、前記第 1 半導体チップの入力部に接続される入力整合回路と、前記第 2 半導体チップの出力部に接続される出力整合回路とを有することを特徴とする半導体モジュール。

【請求項 32】 請求項 31 に記載の半導体モジュールにおいて、前記第 1 集積受動デバイスは前記モジュール基板の上面にフリップ・チップ接続によって

搭載されていることを特徴とする半導体モジュール。

【請求項 33】 上面に配線を有し、下面に外部電極端子を有するモジュール基板と、
能動素子を含む半導体チップと、
前記半導体チップの上面に搭載されている集積受動デバイスとを有し、
前記半導体チップは第 1 増幅回路及び第 2 増幅回路を含み、
前記第 1 増幅回路の出力が前記第 2 増幅回路に入力される構成になり、
前記第 1 増幅回路と前記第 2 増幅回路の間に段間整合回路が設けられ、
前記段間整合回路は前記集積受動デバイスで構成されていることを特徴とする半導体モジュール。

【請求項 34】 請求項 33 に記載の半導体モジュールにおいて、前記第 2 増幅回路の出力部に接続される出力整合回路を有し、前記出力整合回路は複数のディスクリート部品の接続によって形成されていることを特徴とする半導体モジュール。

【請求項 35】 請求項 1 に記載の半導体モジュールにおいて、前記モジュール基板の下面に設けられる放熱パッドと、前記モジュール基板を上下に貫通して設けられ下端が前記放熱パッドに接続される複数のビアとを有し、前記第 2 半導体チップは前記複数のビア上に配置されていることを特徴とする半導体モジュール。

【請求項 36】 請求項 35 に記載の半導体モジュールにおいて、前記モジュール基板の上面に窪みが設けられ、前記ビアは前記窪みの底に複数設けられて、前記窪みの底上に前記第 2 半導体チップが搭載されていることを特徴とする半導体モジュール。

【請求項 37】 請求項 1 に記載の半導体モジュールにおいて、前記第 1 半導体チップ、前記第 2 半導体チップ及び前記集積受動デバイスは、絶縁性の樹脂からなる封止部で被われていることを特徴とする半導体モジュール。

【請求項 38】 請求項 37 に記載の半導体モジュールにおいて、前記封止部の端部は、前記モジュール基板の端部より外側に位置していないことを特徴とする半導体モジュール。

【発明の詳細な説明】**【 0 0 0 1 】****【発明の属する技術分野】**

本発明は半導体モジュールに係わり、特に小型化が達成できる半導体モジュールに関する。

【 0 0 0 2 】**【従来の技術】**

トランジスタ等の能動素子を組み込んだ半導体チップ、抵抗やコンデンサ等の受動素子を組み込んだチップ部品をそれぞれ配線基板に搭載した半導体モジュール（半導体装置）の一例として、混成集積回路装置が知られている。

【 0 0 0 3 】

この混成集積回路装置は、例えば、携帯電話に組み込まれる高周波電力増幅装置（高周波パワーモジュール）を構成している（例えば、特許文献 1 参照）。

【 0 0 0 4 】

また、コンデンサ付き I C （集積回路装置）チップを小型に製造する技術が知られている（例えば、特許文献 2 参照）。

【 0 0 0 5 】**【特許文献 1】**

特開平 9 - 1 1 6 0 9 1 号公報（第 5 - 7 頁、図 1，図 3）

【特許文献 2】

特開平 9 - 2 3 2 5 0 4 号公報（第 2 頁、図 5）

【 0 0 0 6 】**【発明が解決しようとする課題】**

移動体通信の端末機器（携帯電話機等）には多くの電子部品が組み込まれている。携帯電話機の送信系に組み込まれる高周波増幅装置（パワーアンプモジュール：P A）も急速な小型・高機能化が進んで来ている。通信方式の一つとして G S M（Global System for Mobile Communication）方式が知られているが、この G S M 方式用のパワーアンプモジュールの外形寸法は、現状では縦 1 0 m m，横 8 m m の大きさであるが、次世代のモジュールでは縦 6 m m，横 5 m m のサイズ

のものが主流になると想定される。

【0007】

また、CDMA (CDMA code division multiple access 符号分割多元接続) 分野においても現状の縦6mm, 横6mmのものが、縦5mm, 横5mm、さらには縦4mm, 横4mmと順次要請されるものと想定できる。また、この要請はGSM製品でも同様と思われる。

【0008】

このような超小型のパワーアンプモジュールでは、配線基板構成のモジュール基板における表面の二次元的な部品実装だけでは、トランジスタ等の能動素子を組み込んだ半導体チップや、抵抗 (チップ抵抗)、コンデンサ (チップコンデンサ) 等の受動素子からなるチップ部品が搭載できなくなり、三次元実装が必要になる。

【0009】

本発明の目的は、複数の半導体チップや複数の電子部品を組み込んでなる半導体モジュールの小型化を図ることにある。

【0010】

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0011】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】

(1) 本発明の半導体モジュールは、上面に配線を有し、下面に外部電極端子を有するモジュール基板と、能動素子を含む第1半導体チップ及び第2半導体チップと、複数の受動素子を集積化した集積受動デバイスとを有し、第1半導体チップ及び第2半導体チップのうちの少なくとも一つの半導体チップと集積受動デバイスは重ねてモジュール基板の上面に搭載されている。モジュール基板の上面には窪みが設けられ、下面には導体からなる放熱パッドが設けられている。窪み

の底にはモジュール基板を上下に貫通するビアが複数設けられ、このビアは放熱パッドに接続されている。窪みの底には第 2 半導体チップが搭載されている。窪みから外れたモジュール基板の上面には第 1 半導体チップや抵抗、コンデンサ等の電子部品（受動部品）が搭載されている。第 1 半導体チップの上面には集積受動デバイスが搭載されている。第 1・第 2 半導体チップ及び集積受動デバイスの上面の電極とモジュール基板の上面の配線が導電性のワイヤで電氣的に接続されている。これら第 1・第 2 半導体チップ、集積受動デバイス及びワイヤ等はモジュール基板の上面に設けられた封止部で被われている。封止部とモジュール基板は同じ寸法でかつ一致して重なっている。第 1 半導体チップ及び第 2 半導体チップは増幅回路を含むとともに、第 1 半導体チップの出力が第 2 半導体チップに入力され、高周波電力増幅装置を構成している。第 1 半導体チップの増幅回路に接続される入力整合回路及び第 1 及び第 2 半導体チップの増幅回路間に接続される段間整合回路は前記集積受動デバイスに組み込まれている。

【 0 0 1 3 】

(2) 上記 (1) の構成において、第 2 半導体チップの増幅回路の出力部分には出力整合回路が接続され、この出力整合回路はモジュール基板の上面に搭載される集積受動デバイスに組み込まれている。

【 0 0 1 4 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【 0 0 1 5 】

(実施形態 1)

図 1 乃至図 8 は本発明の一実施形態（実施形態 1）である半導体モジュールに係わる図である。図 1 乃至図 7 は半導体モジュールの構造に係わる図である。図 1 は半導体モジュールの模式的断面図、図 2 は平面図、図 3 は底面図、図 4 は模式的拡大断面図、図 5 はモジュール基板上の電子部品のレイアウトを示す図である。図 1 では各部を説明する符号は一部とし、詳細には図 4 に示してある。

【0016】

本実施形態1の半導体モジュール（半導体装置）1は、外観的には四角形のモジュール基板2と、このモジュール基板2の上面に重ねて形成される封止部（パッケージ）3と、モジュール基板2の下面に設けられる複数の外部電極端子4及び放熱パッド5とからなっている。

【0017】

半導体モジュール1は、その製造において、モジュール母基板の上面に半導体チップを含む電子部品を搭載し、その後電子部品等を被うようにモジュール母基板の上面に一定の高さの樹脂封止層を形成し、ついでモジュール母基板を重ねた樹脂封止層をも含めて縦横に切断して一度に複数の半導体モジュール1を製造することから、モジュール基板2と封止部3は同じ寸法になり、かつ一致して重なる構造になる。従って、モジュール基板2の側面と封止部3の側面は一致し、封止部3の端部は、モジュール基板2の端部より外側に位置していない構造になる。このような製造方法によれば、半導体モジュール1を小型に製造することができる。なお、前記切断によってモジュール母基板はモジュール基板に、樹脂封止層は封止部になる。

【0018】

モジュール基板2はプリント回路基板（PCB）からなり、図1に示すように、上下面及び内部（図示せず）に所定の配線パターンの導体層を有するとともに、これら導体層は図示しないスルーホールに充填した導体を介して電氣的に接続されている。モジュール基板2は複数の誘電体層（絶縁膜）間に複数の導体層（配線）を有する構造になっている。本実施形態1では、特に限定はされないが、誘電体層は6層になっている。

【0019】

配線9はモジュール基板2の上下面及び内部に設けた導体層や上下に延在する導体によって形成される。モジュール基板2の下面に設けた導体層によって前記外部電極端子4や放熱パッド5が形成されている。モジュール基板2の上面に設けられた導体層によって、チップ搭載パッド6、電極接続パッド7、ワイヤ接続パッド8等が形成される。

【0020】

また、本実施形態1では、モジュール基板2の上面に窪み10が設けられている。そして、この窪み10の底にはモジュール基板を上下に貫通するスルーホールが設けられるとともに、このスルーホールには導体が充填されてビア11が形成されている。また、窪み10の底面にもチップ搭載パッド12が設けられている。窪み10の底のチップ搭載パッド12と放熱パッド5は複数のビア11によって接続されている。放熱パッド5は外部電極端子4に比較して面積が大きくなっている。

【0021】

導体層及び導体は金属で形成されている。例えば、モジュール基板2の上下面に形成される導体層は、図示しないがTi（下層）／TiNとこの層上に形成されるTi（下層）／Al-Cu-Siからなっている。また、接着剤やワイヤが接続される導体層の表面は接続を良好とするために、例えばTi（下層）／Niからなるメッキ膜が設けられている。また、内部の導体層はAg導体であり、スルーホールやビアホールに充填される導体はAg導体である。

【0022】

本実施形態1ではチップ搭載パッド6の上面には第1半導体チップ15が接着材16によって固定されている。第1半導体チップ15は、その構造を図示しないが、シリコン基板の上面側に能動素子として増幅回路が複数形成され、上面を被う絶縁層には所定数の電極17が露出するように配列されている。電極17は四角形状の第1半導体チップ15の各辺に沿って設けられている。第1半導体チップ15の電極17と、第1半導体チップ15の周囲のモジュール基板上に設けられるワイヤ接続パッド8は導電性のワイヤ18で電氣的に接続されている。

【0023】

また、第1半導体チップ15の中央には接着剤20によって集積受動デバイス21が固定されている。この集積受動デバイス21の上面にも電極22が所定数設けられている。集積受動デバイス21の電極22と、集積受動デバイス21の周囲のモジュール基板上に設けられるワイヤ接続パッド8は導電性のワイヤ23で電氣的に接続されている。

【0024】

窪み10の底に設けられたチップ搭載パッド12上には、第2半導体チップ25が接着剤26によって固定されている。第2半導体チップ25は、その構造を図示しないが、シリコン基板の上面側に能動素子として増幅回路が複数形成され、上面を被う絶縁層には所定数の電極27が露出するように配列されている。第2半導体チップ25の電極27と、窪み10の縁上に設けられるワイヤ接続パッド8は導電性のワイヤ28で電氣的に接続されている。窪み10の底のチップ搭載パッド12と放熱パッド5はビア11を介して電氣的に接続される構成になっている。ビア11は金属で形成されるため熱伝導性が良好である。従って、第2半導体チップ25で発生した熱を放熱パッド5に速やかに伝達することができる。

【0025】

本実施形態1の場合、第2半導体チップ25の図示しない半導体基板は導電性の接着剤26、チップ搭載パッド12、ビア11を介して放熱パッド5に電氣的に接続される構成になっている。従って、第2半導体チップ25の半導体基板を第1基準電位、即ちグランド電位になるようにすれば、放熱パッド5もグランド電位になる。

【0026】

モジュール基板2の上面には、チップ状の電子部品30が所定数搭載されている。チップ状電子部品30は、その両端が電極31になり、この電極31部分が接着剤32によってモジュール基板2の上面に設けられた電極接続パッド7に電氣的に接続されることによって固定されている。チップ状電子部品30は、例えば、チップ抵抗、チップコンデンサ、チップインダクタである。接着剤32は鉛の含有量が少ない半田（以下Pbフリー半田と呼称）が用いられる。Pbフリー半田としては、例えば、Sn、Ag、CuにZnやBiを含む半田が使用される。

【0027】

外部電極端子4は、図3に示すように、半導体モジュール1の四角形の底面において、各辺に沿って所定ピッチで配列されている。そして、底面の中央部分に

外部電極端子 4 に比較して大幅に広い面積の放熱パッド 5 が配置されている。

【0028】

モジュール基板 2 の上面側には、第 1 半導体チップ 15、第 2 半導体チップ 25、集積受動デバイス 21、チップ状電子部品 30 及びワイヤ 18、23、28 等を被う封止部 3 が形成されている。この封止部 3 は絶縁性の樹脂で形成される。封止部 3 は、例えば、ヤング率が $1 \sim 200 \text{ Mpa}$ 、熱膨張率 α が $180 \times 10^{-6} / ^\circ\text{C} \sim 200 \times 10^{-6} / ^\circ\text{C}$ のシリコンレジンや、ヤング率が $1000 \sim 10000 \text{ Mpa}$ のエポキシレジンで形成する。これにより、顧客実装のリフローでのパッケージ内の半田膨張による半田フラッシュ防止効果がある。即ち、実装基板に半導体モジュール 1 を半田等の接合材でリフローして実装する際、半導体モジュール 1 の封止部 3 内に組み込まれている電子部品の接合部分の半田が、リフローの熱によって膨張してモジュール基板 2 と封止部 3 の界面から外部に滲み出る現象（半田フラッシュ現象）が発生し易くなる。モジュール基板 2 の熱膨張率 α は $7 \times 10^{-6} / ^\circ\text{C}$ 程度であることから、封止部 3 を前記のようなヤング率や熱膨張率を有する樹脂で形成することによってモジュール基板 2 と封止部 3 との接着強度を向上させることができ、半田フラッシュ現象の発生を抑えることができる。

【0029】

本実施形態 1 の半導体モジュール 1 は、高周波電力増幅装置を構成している。図 8 は高周波電力増幅装置の回路構成である。この高周波電力増幅装置は 2 種類の通信系を増幅する構成であり、各通信系を増幅する増幅系はトランジスタを 3 段従属接続した 3 段構成となっている。例えば、一方の通信系は周波数帯域が $1710 \sim 1785 \text{ MHz}$ となる DCS (Digital Cellular System 1800) 方式であり、他方の通信系は周波数帯域が $880 \sim 915 \text{ MHz}$ となる GSM (Global System for Mobile Communication) 方式である。

【0030】

図 8 に示すように、一方の通信系は入力端子 Pin 1 と、出力端子 Pout 1 との間に初段トランジスタ（初段増幅器：第 1 増幅段）Q1、次段トランジスタ（次段増幅器：第 2 増幅段）Q2、並列接続される最終段トランジスタ（出力段増幅

器) Q3、Q4を順次接続した構成になり、各トランジスタのドレイン電極には電源電圧V_{dd1}が印加され、各トランジスタのゲート電極には制御端子V_{apc}から入力される電圧によってバイアスされるようになっている。

【0031】

また、他方の通信系は入力端子P_{in2}と、出力端子P_{out2}との間に初段トランジスタQ5、次段トランジスタQ6、並列接続される最終段(出力段)トランジスタQ7、Q8を順次接続した構成になり、各トランジスタのドレイン電極には電源電圧V_{dd2}が印加され、各トランジスタのゲート電極には制御端子V_{apc}から入力される制御電圧によってバイアスされるようになっている。

【0032】

制御端子V_{apc}はスイッチSW1に接続され、このスイッチSW1は切替端子V_{ctl1}による切替え信号によって切り替わり、制御端子V_{apc}の制御電圧はこのスイッチSW1によって特定された通信系の増幅を行うようになっている。

【0033】

トランジスタQ1、Q2、Q5、Q6は第1半導体チップ15にモノリシックに形成され、出力段トランジスタのQ3、Q4、Q7、Q8は第2半導体チップ25にモノリシックに形成されている。

【0034】

両通信系においては、Cで表示される容量素子(C_P、C_G、C_B)、Rで表示される抵抗素子(R_P、R_G)、Lで表示されるインダクタが多数組み込まれ、整合回路やバイアス回路を構成している。

【0035】

例えば、一方の通信系には、C_{P1}～C_{P7}及びC_{P9}～C_{P12}並びにC_{B1}、C_{B2}で示すコンデンサ素子と、R_{P1}～R_{P4}及びR_{P6}で示す抵抗素子と、L₁で示すインダクタ素子と、長方形で表示されるストリップライン(マイクロストリップライン)とが組み込まれている。

【0036】

また、他方の通信系には、C_{G1}～C_{G7}及びC_{G9}～C_{G13}並びにC_{B3}、C_{B4}で示すコンデンサ素子と、R_{G1}～R_{G4}及びR_{G6}で示す抵抗素子と

、L2で示すインダクタ素子と、長方形で表示されるストリップライン（マイクロストリップライン）とが組み込まれている。

【0037】

集積受動デバイス21には、図8の四角形枠で示す整合回路が組み込まれている。図6は集積受動デバイス21に組み込まれるコンデンサ素子を等価回路的に表示した模式的平面図である。集積受動デバイス21の上面には、図6に示すように、両側に沿って電極22が設けられている。四角形で示す電極22の一侧に示すGはグランド端子であることを示すものである。

【0038】

一方の通信系において、CP1及びCP2は初段トランジスタQ1の入力整合回路を形成し、CP3及びCP4は初段トランジスタQ1と次段トランジスタQ2の間の段間整合回路を形成し、CP5乃至CP7は次段トランジスタQ2と最終段（出力段）トランジスタQ3、Q4の間の段間整合回路を形成している。また、他方の通信系において、CG1及びCG2は初段トランジスタQ5の入力整合回路を形成し、CG3及びCG4は初段トランジスタQ5と次段トランジスタQ6の間の段間整合回路を形成し、CG5乃至CG7は次段トランジスタQ6と出力段トランジスタQ7、Q8の間の段間整合回路を形成している。これらの整合回路が、図6に示すように集積受動デバイス21に組み込まれている。

【0039】

図7は集積受動デバイス21の一部を示す模式的断面図である。この断面図には、次段トランジスタQ2と最終段（出力段）トランジスタQ3、Q4の間の段間整合回路を形成するCP5、CP6、CP7が示されている。CP5の電極の一方は集積受動デバイス21の上面の電極22（図6の左側の電極）に接続され、CP7の電極の一方は集積受動デバイス21の上面の電極22（図6の右側の電極）に接続されている。そして、これら電極22は、図4に示すように、第1半導体チップ15の周囲に位置するワイヤ接続パッド8にワイヤ23を介して電気的に接続されることになる。

【0040】

集積受動デバイス（IPD：integrated Passive Device）21は、図7に示

すように、主面に絶縁層 35 を有するガラス板等からなる基板 34 の主面に、導体層及び絶縁層を所定箇所所定形状に繰り返して積層形成する。この形成の途中段階で所定の導体層間に誘電体層を形成することによって図 7 に示すように容量素子（コンデンサ）を形成することができる。また、図示しないが所定の導体層間に抵抗材料を介在させれば抵抗素子を形成でき、渦巻き状に導体層を配置することによってインダクタンス素子（インダクタ）を形成することができる。

【0041】

図 7 において、36a, 36b, 36c, 36d は導体層、37 は誘電体層、38 及び 39 は絶縁層である。最上層の保護膜としての絶縁層 39 が設けられない領域には図 6 に示す電極 22 が露出するようになっている。電極 22 はワイヤボンディングに適した平坦な構造（図 1、図 6 参照）、またはフリップ・チップ接続するためのバンプ電極とすることができる。図 7 はこのようにして形成した CP5, CP6, CP7 を示してある。

【0042】

IPD は多くの受動素子を小型に組み込むことができるため近年多用されている。IPD としては、配線基板上に導体又は誘電体からなる薄膜を順次形成して各受動部品を形成する構造や、半導体基板の主面に所定パターンの拡散領域を形成するとともに、絶縁層や配線等を形成して各受動部品を形成する構造が知られている。

【0043】

本実施形態 1 で使用されるコンデンサは、容量値が 1 ~ 50 pF 程度であり、1 個のコンデンサの誘電体層 38 の面積は 300 μm^2 程度であることから、図 6 に示すように、14 個程度のコンデンサを組み込んだ集積受動デバイス 21 は、縦横が 1 mm 程度と小型になることから第 1 半導体チップ 15 に充分搭載することができる。このような集積受動デバイス 21 は、ディスクリットなチップコンデンサを 14 個実装する面積の 30 % 程度と大幅に小型にできる。

【0044】

図 5 はモジュール基板 2 の上面に搭載配置される第 1 半導体チップ 15、第 2 半導体チップ 25 や電子部品 30 等を示す模式図である。なお、ワイヤや半田は

省略してある。

【0045】

本実施形態1の半導体モジュール1においては、発熱量が大きい出力段トランジスタを組み込んだ第2半導体チップ25は、窪み10の底に固定されて効果的に放熱が行われるようになり、発熱量が出力段トランジスタに比較して充分小さい初段・次段トランジスタを組み込んだ第1半導体チップ15はモジュール基板2の上面に搭載されている。

【0046】

また、本実施形態1では、出力段トランジスタQ3, Q4, Q7, Q8の入力整合回路、バイアス整合回路及び出力整合回路を公差の小さいディスクリート部品で構成してある。即ち、通常公差 ($10\Omega \pm 5\%$) のものを使用することなく、狭公差 ($10\Omega \pm 1\%$) のディスクリート部品を使用する。これにより、特性(電力効率)を、例えば、2%程度向上させることができる。

【0047】

また、半導体モジュール1の製造において、最終段増幅器の出力整合回路を構成するディスクリート部品としては、それぞれ特性が異なる複数のディスクリート部品を用意しておき、最終の特性改善でのチューニングにおいて、特性に合わせてディスクリート部品を選択してモジュール基板2に搭載して良好な特性を有する半導体モジュール1を製造する。

【0048】

本実施形態1によれば以下の効果を有する。

【0049】

(1) モジュール基板2の上面に搭載した第1半導体チップ15の上面に集積受動デバイス21を搭載配置する三次元実装構造になるため、モジュール基板2の上面に第1半導体チップや集積受動デバイスを並べて搭載する構造に比較して半導体モジュール1を小型にすることができる。

【0050】

(2) 集積受動デバイス21は複数のコンデンサを複数集積したものであることから、ディスクリートなコンデンサ部品(ディスクリート部品)をモジュール

基板 2 上に搭載する構造に比較して半導体モジュール 1 を小型にすることができる。そして、このような集積受動デバイス 21 を第 1 半導体チップ 15 上に搭載することから、さらに半導体モジュール 1 の小型化が達成できる。

【0051】

(3) 集積受動デバイス 21 には、初段トランジスタ（増幅器）Q1，Q5 の入力整合回路及び出力整合回路が組み込まれている。そして、この集積受動デバイス 21 は初段増幅器 Q1，Q5 が組み込まれた第 1 半導体チップ 15 上に搭載されていることから、初段増幅器 Q1，Q5 と入力整合回路及び出力整合回路とが近くなり、RF（高周波）上、損失やインピーダンス変動が少なくなる。

【0052】

(4) 出力段トランジスタ Q3，Q4，Q7，Q8 の入力整合回路、バイアス整合回路及び出力整合回路を公差の小さいディスクリート部品で構成してあることから、特性（電力効率）を向上させることができる。例えば、電力効率を 2 % 程度向上させることができる。

【0053】

(5) 発熱量が大きい第 2 半導体チップ 25 をモジュール基板 2 の上面に設けた窪み 10 の底上に固定する構造になっていることから、ビア 11 を介してモジュール基板 2 の下面の放熱パッド 5 に速やかに熱を伝達できるため、放熱性の高い半導体モジュール 1（高周波電力増幅装置）を提供することができる。従って、この半導体モジュール 1 を組み込んだ携帯電話機も半導体モジュール 1 の放熱性能が良好であることから安定して動作することになる。

【0054】

ここで、本実施形態 1 の変形例について説明する。変形例の説明における図では説明に必要な符号を付し、一部の符号は省略する。

【0055】

図 9 は第 1 の変形例である半導体モジュールの模式的断面図である。本例の半導体モジュール 1 は、実施形態 1 において、モジュール基板 2 の上面に搭載した第 1 半導体チップ 15 の上面に集積受動デバイス 21 をフリップ・チップ接続して搭載したものである。従って、図 9 に示すように、あらかじめ、集積受動デバ

イス 2 1 の電極を半田バンプ電極 4 0 として形成しておくとともに、半田バンプ電極 4 0 に対応して第 1 半導体チップ 1 5 の上面にもフリップ・チップ接続用の電極 4 1 を形成しておく。そして、集積受動デバイス 2 1 の搭載時、各電極 4 1 に各半田バンプ電極 4 0 を重ね、一時的加熱（リフロー）によって半田バンプ電極 4 0 を軟化させて電極 4 1 との接続を行う。

【 0 0 5 6 】

第 1 の変形例による半導体モジュール 1 は、第 1 半導体チップ 1 5 の上面に集積受動デバイス 2 1 をフリップ・チップ接続によって搭載することからワイヤを使用しない。従って、ワイヤによるインダクタンスの変動がなく、特性が向上するとともに、チューニングが簡略化できるというメリットがある。

【 0 0 5 7 】

図 1 0 は第 2 の変形例である半導体モジュールの簡略化した模式的断面図である。本例の半導体モジュール 1 は、実施形態 1 において、モジュール基板 2 の上面に設けた窪み 1 0 の底にフリップ・チップ接続によって第 2 半導体チップ 2 5 を搭載し、この第 2 半導体チップ 2 5 の上面に絶縁性の接着剤 4 5 を介して第 1 半導体チップ 1 5 を搭載し、第 1 半導体チップ 1 5 の電極 1 7 と窪み 1 0 の周囲のモジュール基板 2 の上面に設けられたワイヤ接続パッド 8 を導電性のワイヤ 1 8 で電氣的に接続した構造になっている。また、集積受動デバイス 2 1 はモジュール基板 2 の上面に搭載し、集積受動デバイス 2 1 の上面の電極 2 2 と集積受動デバイス 2 1 の周囲のモジュール基板 2 の上面に設けられたワイヤ接続パッド 8 を導電性のワイヤ 2 3 で電氣的に接続した構造になっている。

【 0 0 5 8 】

本例では、あらかじめ、第 2 半導体チップ 2 5 の電極を半田バンプ電極 4 6 として形成しておくとともに、半田バンプ電極 4 6 に対応して窪み 1 0 の底にも図示しないフリップ・チップ接続用の電極を形成しておく。そして、第 2 半導体チップ 2 5 の搭載時、窪み 1 0 の底の各電極に各半田バンプ電極 4 6 を重ね、一時的加熱（リフロー）によって半田バンプ電極 4 6 を軟化させて電極との接続を行う。

【 0 0 5 9 】

本例では、次段及び最終段増幅器のグラントは半田バンプ電極 46 で強化できる。初段増幅器はグラント電位の変動が少ないので、電極 17 とワイヤ接続パッド 8 をワイヤ 18 で接続する構成で充分対応できる。

【0060】

図 11 は第 3 の変形例である半導体モジュールの簡略化した模式的断面図である。本例の半導体モジュール 1 は、実施形態 1 の半導体モジュール 1 において、窪み 10 の底に初段・次段・最終段増幅器を組み込んだ半導体チップ 50 を搭載し、この半導体チップ 50 の図示しない電極とモジュール基板 2 の上面の図示しないワイヤ接続パッドを導電性のワイヤ 51 で接続し、半導体チップ 50 の上面に集積受動デバイス 21 を半田バンプ電極 40 を介してフリップ・チップ接続でモジュール基板 2 の上面の図示しない電極に電氣的に接続するものである。また出力整合回路は狭公差のディスクリート部品を組み合わせて形成されている。

【0061】

本例ではワイヤによる特性変動が無く、安定した特性出しが可能であり、また、ワイヤボンダ用の基板パッドも必要なく、更なる小型化が出来るという効果がある。

【0062】

本実施形態 1 では、第 1 半導体チップ 15 に高周波電力増幅装置の初段増幅器を組み込んだ例で説明したが、第 1 半導体チップ 15 には、この高周波電力増幅装置を制御する制御回路を組み込むことも可能である。例えば、制御回路として、APC（自動パワー制御回路）や AGC（自動利得制御回路）等の回路を組み込む。

【0063】

（実施形態 2）

図 12 乃至図 14 は本発明の他の実施形態（実施形態 2）である半導体モジュールに係わる図である。本例では、実施形態 1 の半導体モジュール 1 において、出力整合回路を集積受動デバイス 55 に組み込み、この集積受動デバイス 55 をモジュール基板 2 の上面に搭載し、集積受動デバイス 55 の上面に設けられた図示しない電極と集積受動デバイス 55 の周囲のモジュール基板 2 の上面に設けら

れた図示しないワイヤ接続パッドを導電性のワイヤ 56 で電氣的に接続したものである。従って、モジュール基板 2 の上面には出力整合回路を構成するディスクリット部品は搭載しない。他の構成は実施形態 1 と同じである。

【0064】

図 13 は、本例の半導体モジュール 1 の等価回路図である。等価回路としては、実施形態 1 の図 8 に示す等価回路と同じである。一点鎖線枠で囲んだ部分が集積受動デバイス 55 に組み込まれた部分である。即ち、集積受動デバイス 55 には、最終段（出力段）トランジスタ Q3、Q4 のドレイン端子と出力端子 Pout1 との間に設けられる CP9～CP12 及びインダクタ L1、最終段（出力段）トランジスタ Q7、Q8 のドレイン端子と出力端子 Pout2 との間に設けられる CG9～CG13 及びインダクタ L2 が組み込まれている。

【0065】

図 14 は半導体モジュールに組み込まれた集積受動部品の断面図であり、CP12、CP11 及びインダクタ L1 が形成された部分を示す。インダクタ L1 は導体層を渦巻き状に配置することによって形成されている。なお、36e、36f、36g、36h は導体層である。

【0066】

本例では出力整合回路を集積受動デバイス 55 に組み込み、これをモジュール基板 2 の上面に搭載する構造であることから、複数のディスクリット部品をモジュール基板 2 の上面に搭載して出力整合回路を構成する構造に比較して、さらに大幅に半導体モジュール 1 を小型化できる。また、モジュール基板 2 を小さくしない場合にはさらに多くのディスクリット部品の搭載が可能になり、更なる高機能化が達成できる。

【0067】

図 15 は本実施形態 2 の第 1 の変形例である半導体モジュールの簡略化した模式的断面図である。本例では、実施形態 2 の集積受動デバイス 55 の電極をバンブ電極 58 とし、集積受動デバイス 55 をバンブ電極 58 を介してモジュール基板 2 の主面にフリップ・チップ実装したものである。

【0068】

本例では、フリップ・チップ接続によって集積受動デバイス 55 をモジュール基板 2 に搭載することからワイヤを使用しない。従って、ワイヤによるインダクタンスの変動がなく、特性が向上するとともに、チューニングが簡略化できるというメリットがある。

【0069】

図 16 は本実施形態 2 の第 2 の変形例である半導体モジュールの簡略化した模式的断面図である。本例は、実施形態 1 の構造の半導体モジュール 1 において、出力整合回路を集積受動デバイス 55 に組み込み、この集積受動デバイス 55 を窪み 10 の底に搭載した第 2 半導体チップ 25 の上面に搭載し、集積受動デバイス 55 の上面に設けられた図示しない電極と窪み 10 の周囲のモジュール基板 2 の上面に設けられた図示しないワイヤ接続パッドを導電性のワイヤ 56 で電氣的に接続したものである。従って、モジュール基板 2 の上面には出力整合回路を構成するディスクリート部品は搭載しない。他の構成は実施形態 1 と同じである。本例では、出力整合回路を組み込んだ集積受動デバイス 55 を第 2 半導体チップ 25 上に搭載することから、モジュール基板 2 の更なる小型化、またはより多くのディスクリート部品の搭載が可能になり、更なる高機能化が達成できる。

【0070】

(実施形態 3)

図 17 は本発明の他の実施形態（実施形態 3）である半導体モジュールの簡略化した模式的断面図である。本実施形態 3 の半導体モジュール 1 は、第 1 半導体チップ 15 と集積受動デバイス 21 の搭載場所が異なる以外は実施形態 1 の半導体モジュール 1 と同じ構造になっている。

【0071】

即ち、モジュール基板 2 の窪み 10 の底に搭載した第 2 半導体チップ 25 上にスペーサ 60 を介して第 1 半導体チップ 15 を搭載するとともに、集積受動デバイス 21 はモジュール基板 2 の上面に直接搭載した構造になっている。

【0072】

スペーサ 60 は、第 2 半導体チップ 25 の上面に図示しない接着剤によって固定され、このスペーサ 60 上に第 1 半導体チップ 15 が図示しない接着剤によっ

て固定される。第1半導体チップ15と第2半導体チップ25は、スペーサ60によって電氣的に接続されないように、スペーサ60全体を絶縁性のものによって形成したり、あるいは中層または表層が絶縁層となるものによって形成されている。スペーサ60による電氣的絶縁が十分な場合には、接着剤は絶縁性または導電性のいずれでもよい。電氣的絶縁が不十分な場合には接着剤は絶縁性のものを使用すればよい。また、スペーサ60は両面が接着性の絶縁性テープ等であってもよい。

【0073】

スペーサ60は、第2半導体チップ25の上面の図示しない電極に接触しないように第2半導体チップ25よりも小さく、かつ第2半導体チップ25の中央に固定されている。スペーサ60の上面に固定される第1半導体チップ15は、図示しない電極が存在する面が上面になるように搭載されている。第1半導体チップ15の電極と窪み10の周囲のモジュール基板2の上面に設けられた図示しないワイヤ接続パッドは導電性のワイヤ18で電氣的に接続されている。

【0074】

モジュール基板2に搭載された集積受動デバイス21の上面の図示しない電極と、集積受動デバイス21の周囲のモジュール基板2の上面に設けられた図示しないワイヤ接続パッドは導電性のワイヤ23で電氣的に接続されている。

【0075】

初段増幅器が組み込まれた第1半導体チップ15は、出力段増幅器を組み込んだ第2半導体チップ25に比較して、発熱量が小さいことから、第2半導体チップ25上への搭載も可能になる。スペーサ60を熱伝導性が良好なもので形成すれば、第1半導体チップ15で発生した熱はスペーサ60、第2半導体チップ25及びビア11を介して放熱パッド5に速やかに伝達することができる。

【0076】

本実施形態3の半導体モジュール1は、第1半導体チップ15をモジュール基板2の上面に搭載することなく、第2半導体チップ25上に搭載するため、第1半導体チップ15を搭載しない分、モジュール基板2の小型化を図ることができる。また、モジュール基板2を小型にしない場合には、その分他のディスクリー

ト部品等の搭載が可能になり、高機能化が達成できる。

【0077】

(実施形態4)

図18は本発明の他の実施形態(実施形態4)である半導体モジュールの簡略化した模式的断面図である。本実施形態4の半導体モジュール1は、第1半導体チップ15と集積受動デバイス21の搭載関係を逆にすることと、第1半導体チップ15よりも集積受動デバイス21の寸法が大きくなる以外は実施形態1の半導体モジュール1と同じ構成になっている。

【0078】

即ち、モジュール基板2の上面に第1半導体チップ15を直接搭載せず、モジュール基板2の上面に集積受動デバイス21を電極が上面になる姿勢で図示しない接着剤で搭載し、この集積受動デバイス21の上面に図示しない接着剤を用いて第1半導体チップ15を搭載したものである。

【0079】

集積受動デバイス21の図示しない電極に第1半導体チップ15が接触しないように集積受動デバイス21は大きく形成され、第1半導体チップ15は集積受動デバイス21の図示しない電極に接触しないように集積受動デバイス21の中央に固定されている。

集積受動デバイス21の上面の図示しない電極と、集積受動デバイス21の周囲のモジュール基板2の上面に設けられた図示しないワイヤ接続パッドは導電性のワイヤ23で電氣的に接続されている。集積受動デバイス21上の第1半導体チップ15の上面の図示しない電極と、集積受動デバイス21の周囲のモジュール基板2の上面に設けられた図示しないワイヤ接続パッドは導電性のワイヤ18で電氣的に接続されている。

【0080】

本実施形態4では、集積受動デバイス21に、面積が大きくなるインダクタを入れる場合に集積受動デバイスのサイズが、半導体チップ15より大きくなった場合に、小型化する場合には有効な構造である。この場合のインダクタの容量は、1nH～20nHである。

【 0 0 8 1 】

図 1 9 は本実施形態 4 の変形例である半導体モジュールの簡略化した模式的断面図である。本例は実施形態 4 の半導体モジュール 1 において、第 1 半導体チップ 1 5 をその上面に搭載する集積受動デバイス 2 1 をモジュール基板 2 の上面にフリップ・チップ実装する点異なる。

【 0 0 8 2 】

本例では、実施形態 4 の集積受動デバイス 2 1 の電極をバンプ電極 6 1 とし、集積受動デバイス 2 1 をバンプ電極 6 1 を介してモジュール基板 2 の上面にフリップ・チップ実装し、集積受動デバイス 2 1 の上面に第 1 半導体チップ 1 5 を電極を上面にした状態で搭載する構造になっている。

【 0 0 8 3 】

本例では、集積受動デバイス 2 1 の電極とモジュール基板 2 の電極をワイヤを用いて接続せず、バンプ電極を用いて電氣的に接続する構造であることから、ワイヤによるインダクタンスの変動がなく、特性が向上するとともに、チューニングが簡略化できるというメリットがある。

【 0 0 8 4 】

(実施形態 5)

図 2 0 は本発明の他の実施形態（実施形態 5）である半導体モジュールの簡略化した模式的断面図である。

【 0 0 8 5 】

本実施形態 5 の半導体モジュール 1 は、実施形態 3 の半導体モジュール 1 において、モジュール基板 2 の上面に搭載していた集積受動デバイス 2 1 を、第 2 半導体チップ 2 5 上にスペーサ 6 0 を介して重ねて搭載した第 1 半導体チップ 1 5 上に集積受動デバイス 2 1 を搭載したものである。従って、他の構成部分は実施形態 3 の半導体モジュール 1 と同じである。

【 0 0 8 6 】

第 1 半導体チップ 1 5 の上面に搭載される集積受動デバイス 2 1 は、第 1 半導体チップ 1 5 の上面の図示しない電極に接触しないように第 1 半導体チップ 1 5 よりも小さくなっていると同時に、第 1 半導体チップ 1 5 の中央位置に搭載され

ている。

【0087】

集積受動デバイス 21 の上面の図示しない電極と、窪み 10 の周囲のモジュール基板 2 の上面に設けられた図示しないワイヤ接続パッドは導電性のワイヤ 23 で電氣的に接続されている。

【0088】

本実施形態 5 の半導体モジュール 1 は、集積受動デバイス 21 をモジュール基板 2 の上面に搭載することなく、第 2 半導体チップ 25 上に搭載するため、集積受動デバイス 21 を搭載しない分、モジュール基板 2 の小型化を図ることができる。また、モジュール基板 2 を小型にしない場合には、その分他のディスプレイ部品等の搭載が可能になり、高機能化が達成できる。

【0089】

(実施形態 6)

図 21 は本発明の他の実施形態（実施形態 6）である半導体モジュールの簡略化した模式的断面図である。

【0090】

本実施形態 6 の半導体モジュール 1 は、第 1 半導体チップ 15 と集積受動デバイス 21 の搭載場所が異なる以外は実施形態 1 の半導体モジュール 1 と同じ構造になっている。

【0091】

即ち、モジュール基板 2 の窪み 10 の底に搭載した第 2 半導体チップ 25 上に、バンプ電極 58 を有する集積受動デバイス 21 をフリップ・チップ実装し、この集積受動デバイス 21 の上面に電極が上面となる姿勢で第 1 半導体チップ 15 を搭載し、第 1 半導体チップ 15 の図示しない電極と窪み 10 の周囲のモジュール基板 2 の上面に設けられた図示しないワイヤ接続パッドを導電性のワイヤ 18 で電氣的に接続した構造になっている。

【0092】

図示しないが、集積受動デバイス 21 の各バンプ電極 58 は第 1 半導体チップ 15 の各電極と電氣的に接続されて、図 8 の等価回路図の一部を構成することに

なる。

【0093】

本実施形態6の半導体モジュール1は、第1半導体チップ15及び集積受動デバイス21をモジュール基板2の上面に搭載することなく、第2半導体チップ25上に搭載する構成になるため、第1半導体チップ15や集積受動デバイス21を搭載しない分、モジュール基板2の小型化を図ることができる。また、モジュール基板2を小型にしない場合には、その分他のディスクリート部品等の搭載が可能になり、高機能化が達成できる。

【0094】

以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。実施形態では、増幅器（トランジスタ）としてMOSFET（Metal Oxide Semiconductor Field Effect Transistor）を用いているが、他のシリコンまたは化合物半導体を含むバイポーラ系トランジスタであってもよい。

【0095】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0096】

（1）モジュール基板の上面に搭載した半導体チップの上面に集積受動デバイスや他の半導体チップを搭載する三次元実装構造になることから半導体モジュールの小型化や高機能化を図ることができる。

【0097】

（2）集積受動デバイスは複数の受動素子を複数集積したものであることから、ディスクリート部品をモジュール基板上に搭載する構造に比較して半導体モジュールを小型にすることができる。そして、このような集積受動デバイスを半導体チップと重ねるようにしてモジュール基板上に搭載することから、さらに半導体モジュールの小型化が達成できる。

【 0 0 9 8 】

(3) 発熱量が大きい半導体チップをモジュール基板の上面に設けた窪みの底上に固定する構造になっていることから、ビアを介してモジュール基板の下面の放熱パッドに速やかに熱を伝達できるため、放熱性の高い半導体モジュールを提供することができる。

【図面の簡単な説明】**【図 1】**

本発明の一実施形態（実施形態 1）である半導体モジュールの模式的断面図である。

【図 2】

前記半導体モジュールの平面図である。

【図 3】

前記半導体モジュールの底面図である。

【図 4】

前記半導体モジュールの模式的拡大断面図である。

【図 5】

前記半導体モジュールにおける電子部品の配置状態を示す模式的平面図である。

【図 6】

前記半導体モジュールに組み込まれる集積受動部品の回路構成を示す模式的平面図である。

【図 7】

前記集積受動部品の一部を示す模式的断面図である。

【図 8】

前記半導体モジュールの等価回路図である。

【図 9】

本実施形態 1 の第 1 の変形例である半導体モジュールの模式的断面図である。

【図 1 0】

本実施形態 1 の第 2 の変形例である半導体モジュールの模式的断面図である。

【図 1 1】

本実施形態 1 の第 3 の変形例である半導体モジュールの簡略化した模式的断面図である。

【図 1 2】

本発明の他の実施形態（実施形態 2）である半導体モジュールの簡略化した模式的断面図である。

【図 1 3】

本実施形態 2 の半導体モジュールの等価回路図である。

【図 1 4】

本実施形態 2 の半導体モジュールに組み込まれた集積受動部品の断面図である。

【図 1 5】

本実施形態 2 の第 1 の変形例である半導体モジュールの簡略化した模式的断面図である。

【図 1 6】

本実施形態 2 の第 2 の変形例である半導体モジュールの簡略化した模式的断面図である。

【図 1 7】

本発明の他の実施形態（実施形態 3）である半導体モジュールの簡略化した模式的断面図である。

【図 1 8】

本発明の他の実施形態（実施形態 4）である半導体モジュールの簡略化した模式的断面図である。

【図 1 9】

本実施形態 4 の変形例である半導体モジュールの簡略化した模式的断面図である。

【図 2 0】

本発明の他の実施形態（実施形態 5）である半導体モジュールの簡略化した模式的断面図である。

【図 21】

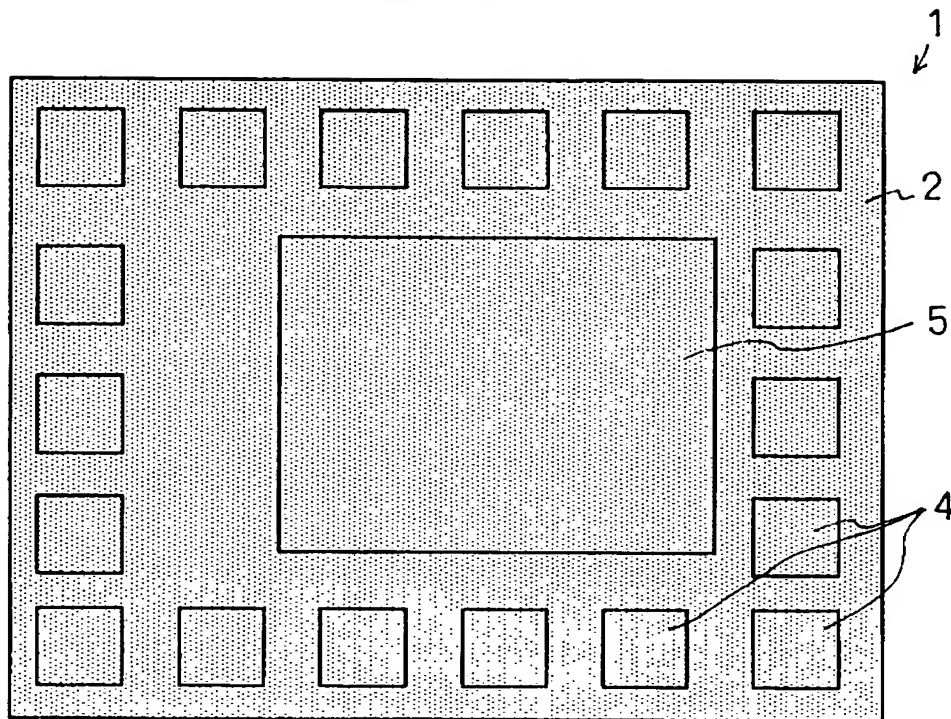
本発明の他の実施形態（実施形態 6）である半導体モジュールの簡略化した模式的断面図である。

【符号の説明】

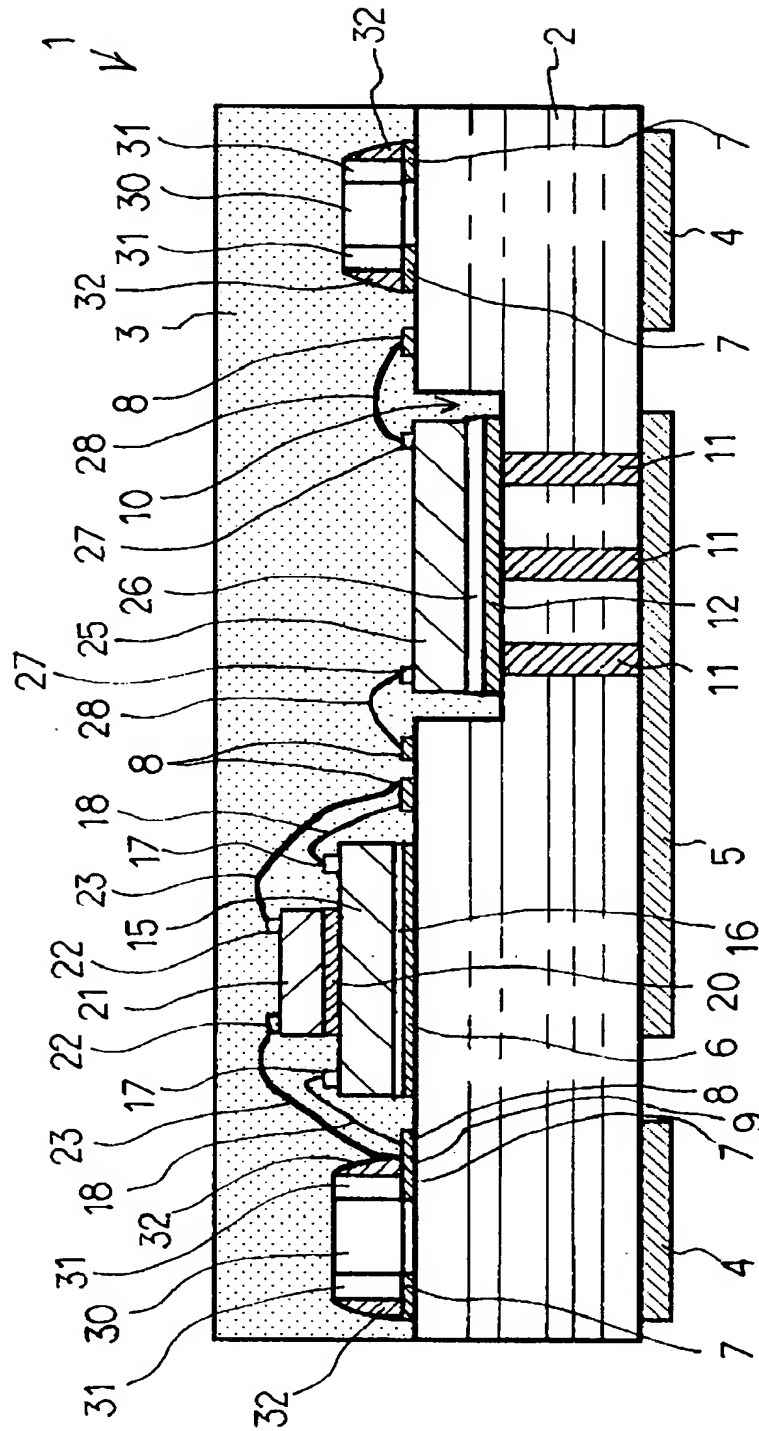
1…半導体モジュール（半導体装置）、2…モジュール基板、3…封止部、4…外部電極端子、5…放熱パッド、6…チップ搭載パッド、7…電極接続パッド、8…ワイヤ接続パッド、9…配線、10…窪み、11…ビア、12…チップ搭載パッド、15…第 1 半導体チップ、16…接着材、17…電極、18…ワイヤ、20…接着剤、21…集積受動デバイス、22…電極、23…ワイヤ、25…第 2 半導体チップ、26…接着剤、27…電極、28…ワイヤ、30…電子部品（チップ状電子部品）、31…電極、32…接着剤、34…基板、35…絶縁層、36a, 36b, 36c, 36d…導体層、37…誘電体層、38, 39…絶縁層、40…半田バンプ電極、41…電極、45…絶縁性の接着剤、46…半田バンプ電極、50…半導体チップ、51…ワイヤ、55…集積受動デバイス、56…ワイヤ、58…バンプ電極、60…スペーサ、61…バンプ電極。

【図 3】

図 3

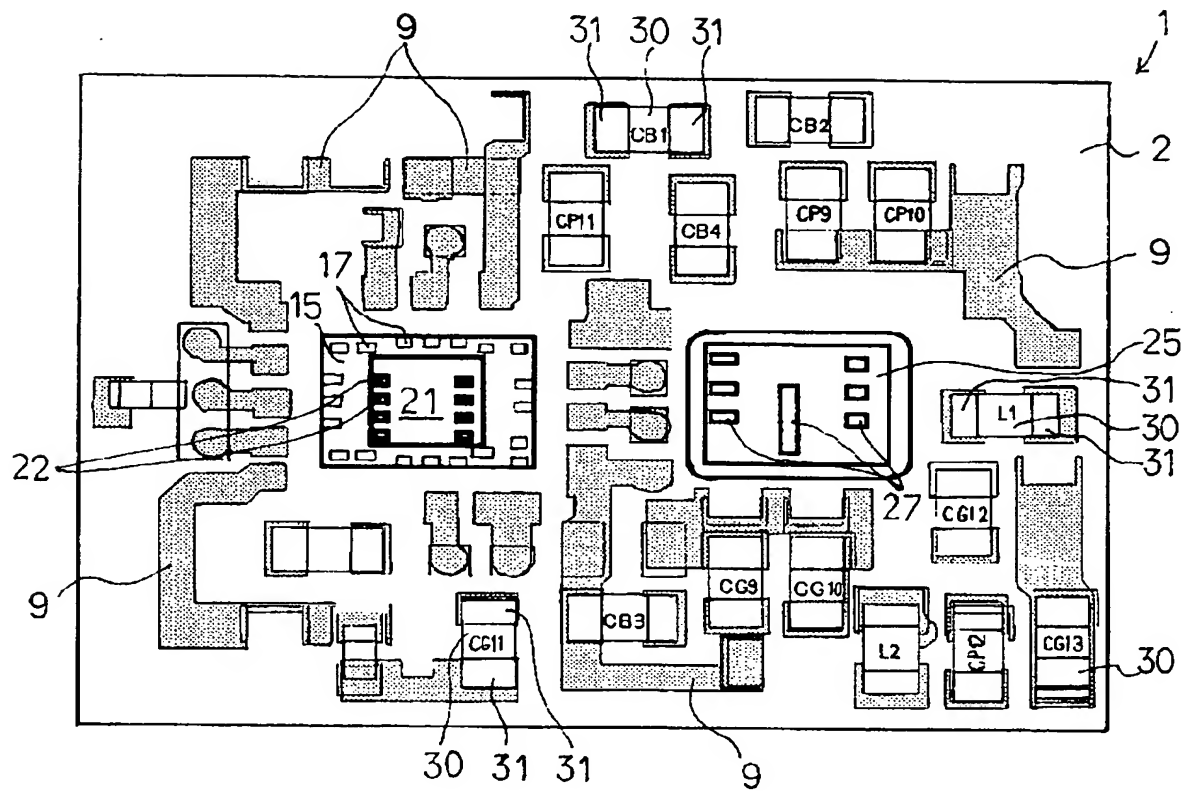


【図 4】



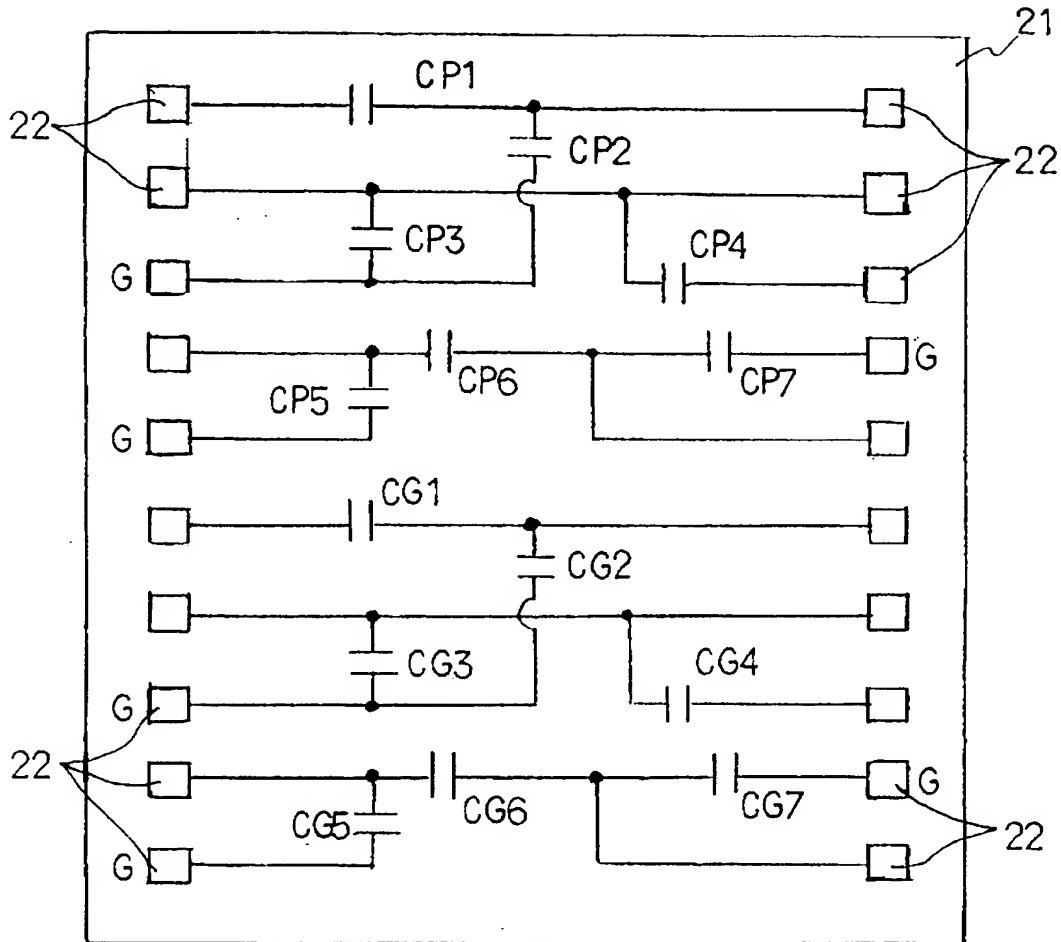
【図 5】

図 5



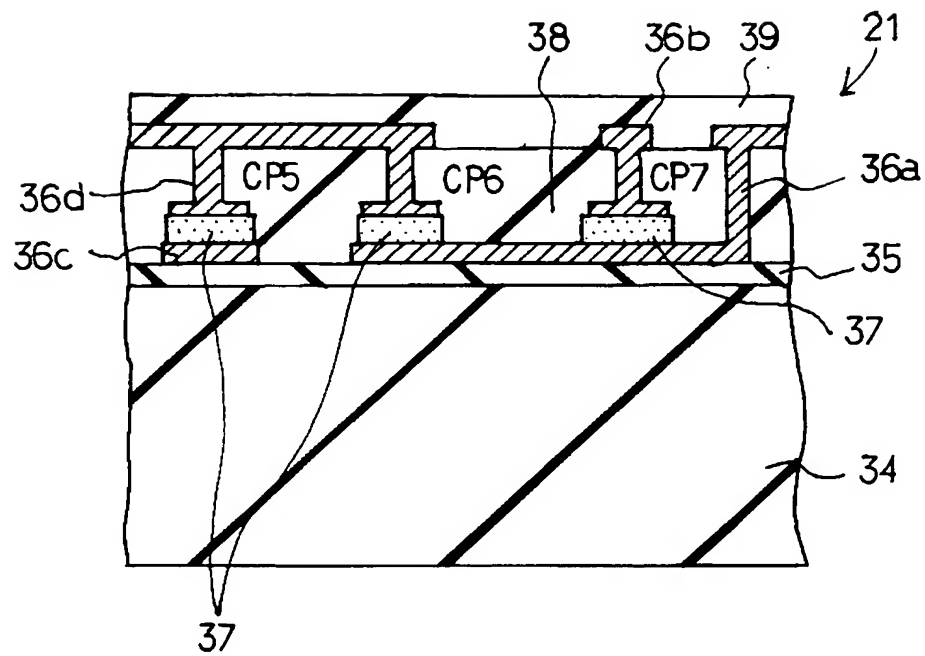
【図 6】

図 6

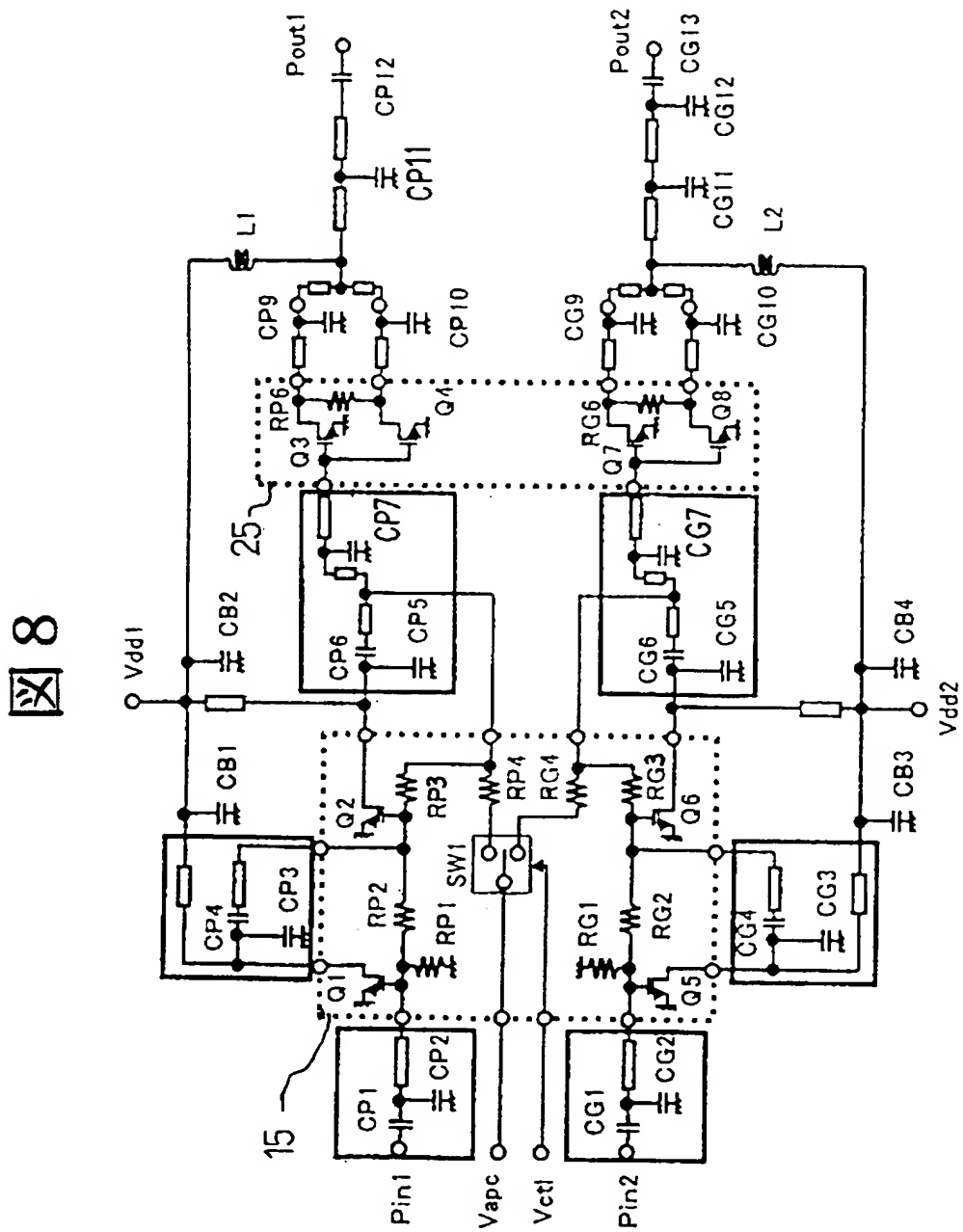


【図 7】

図 7

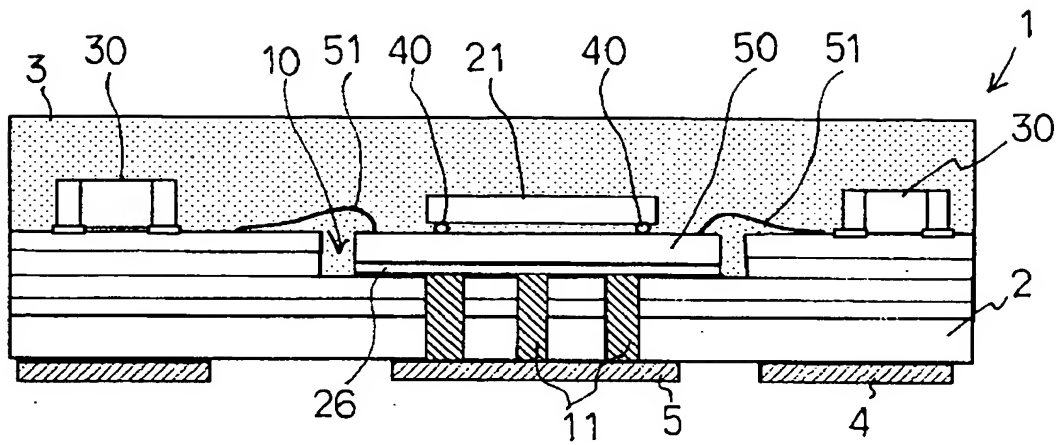


【図 8】



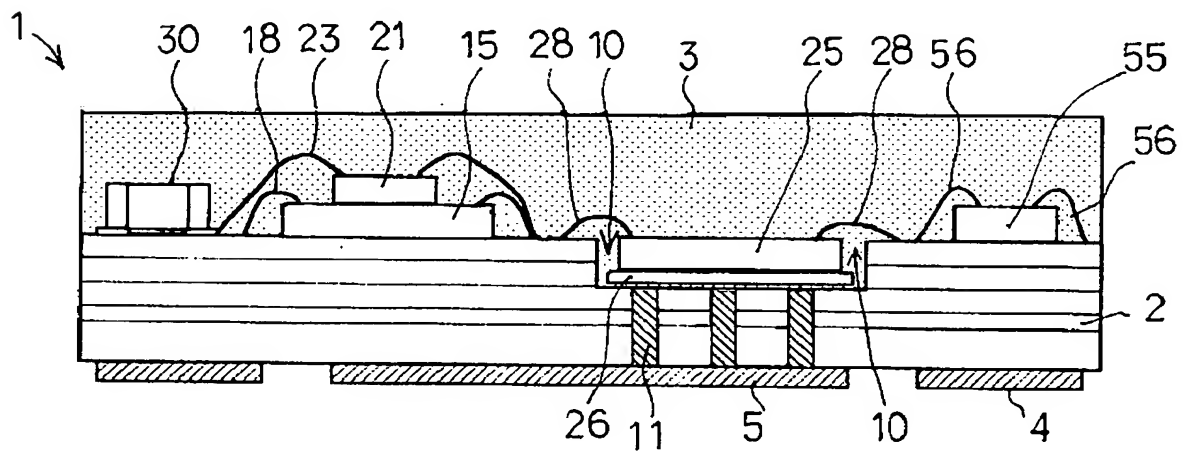
【図 1 1】

図 11



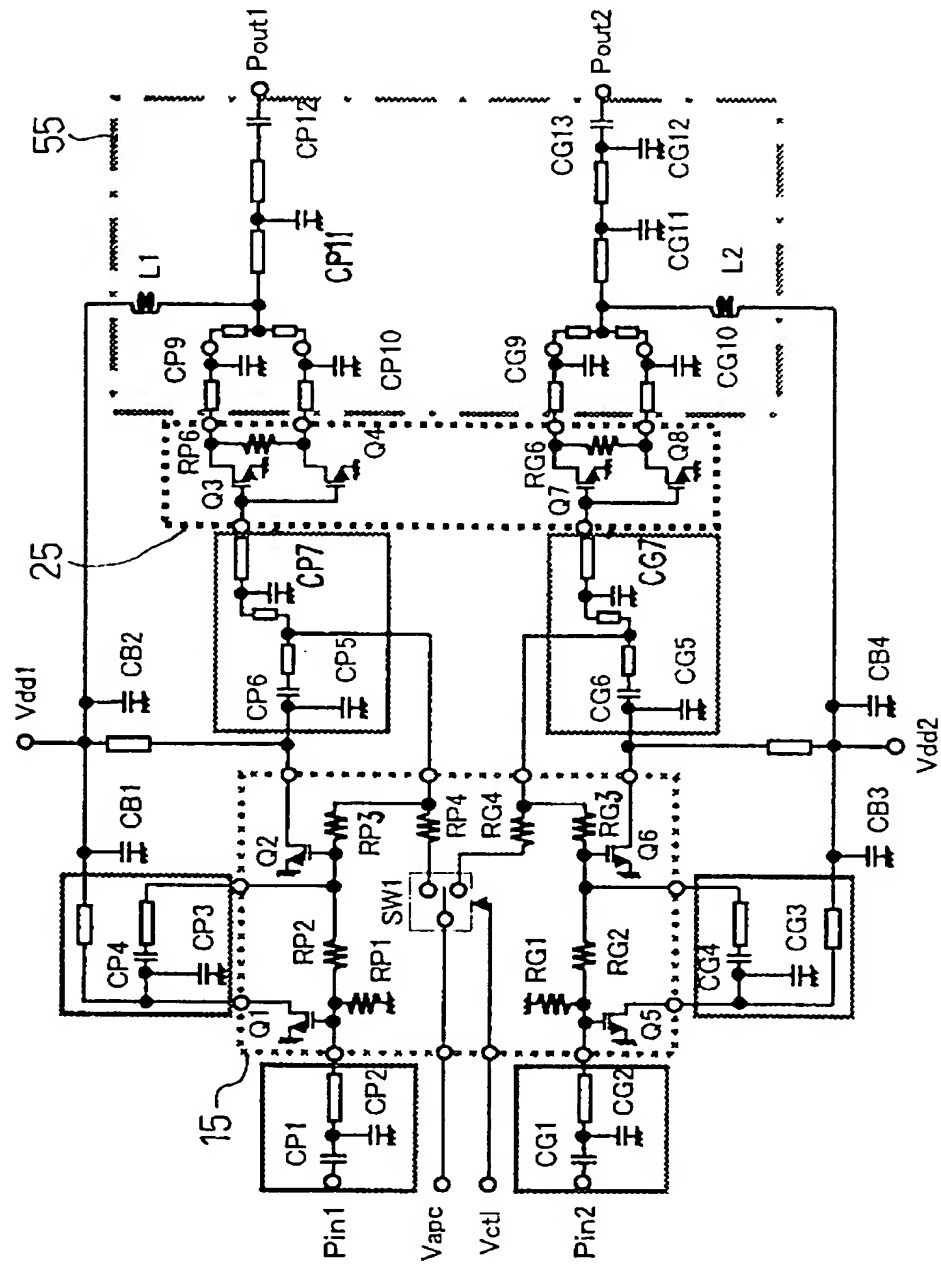
【図 12】

図 12



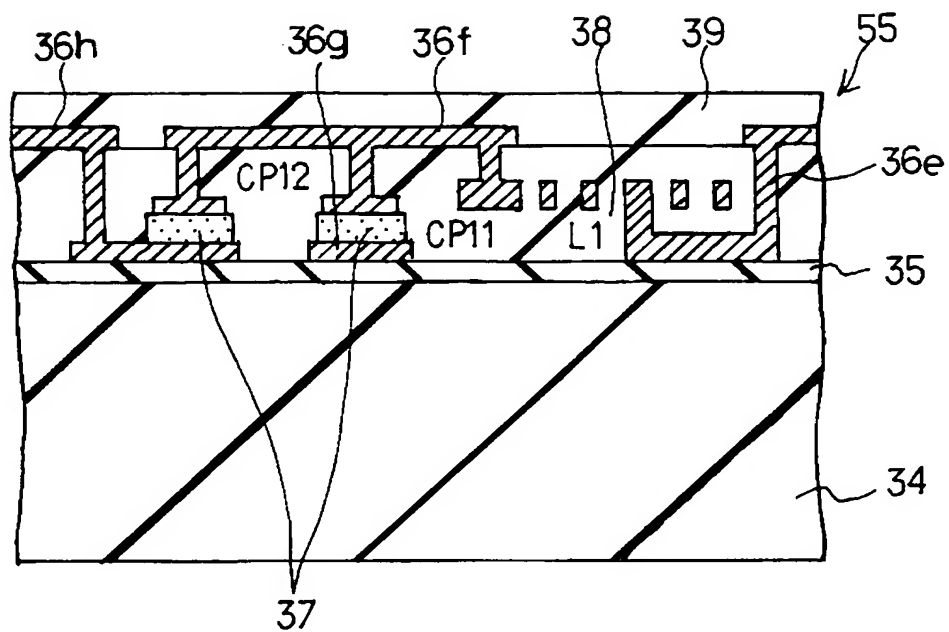
【図 13】

図 13



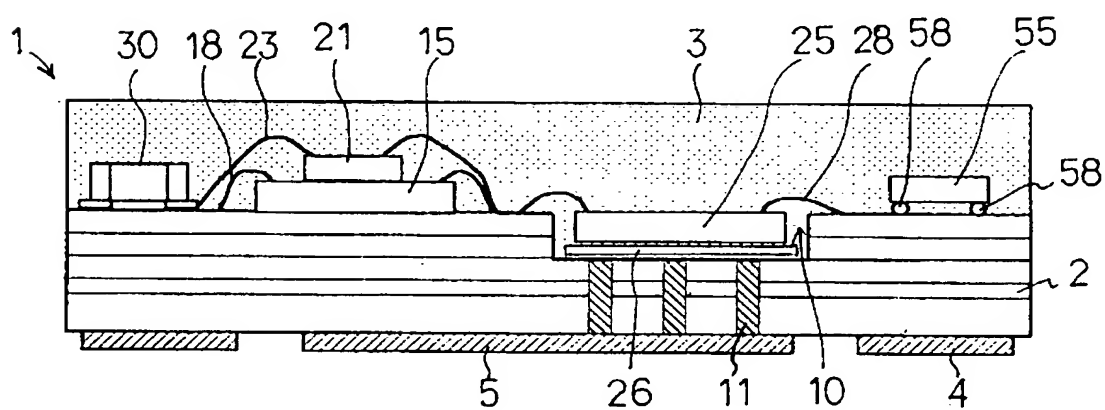
【図 14】

図 14



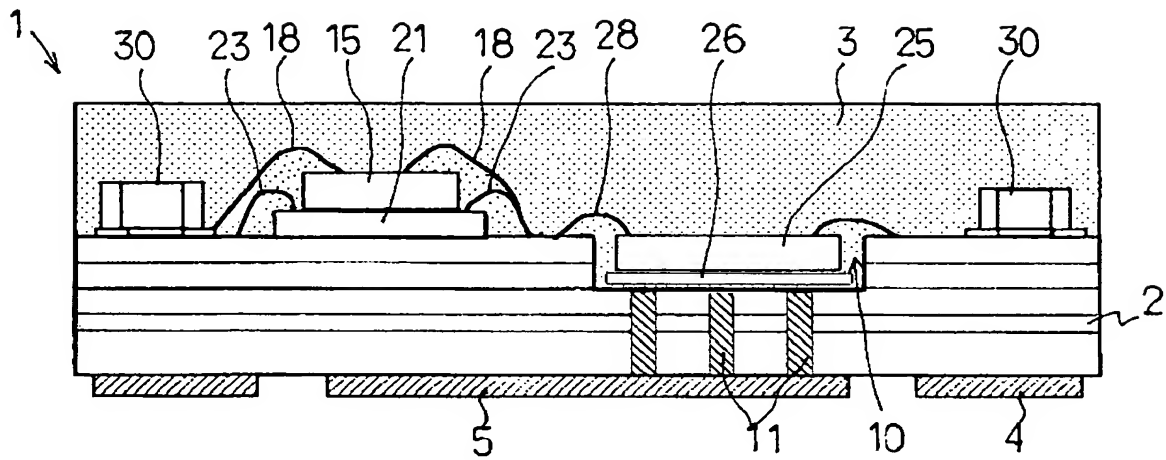
【図 15】

図 15



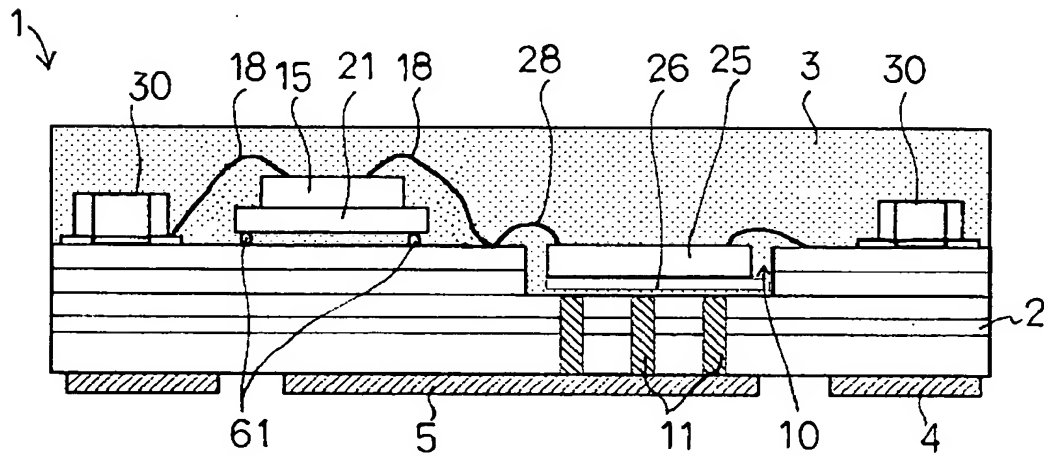
【図 18】

図 18



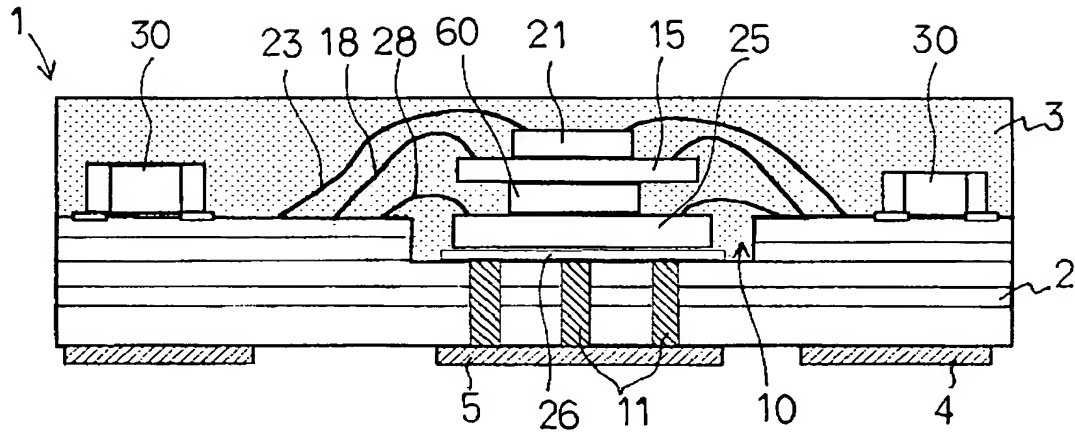
【図 19】

図 19



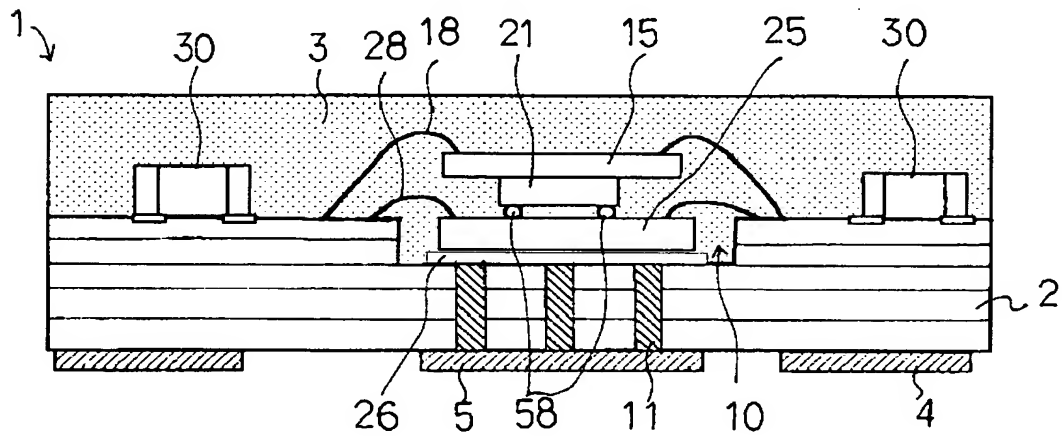
【図 20】

图 20



【図 2 1】

図 2 1



【書類名】 要約書

【要約】

【課題】 半導体モジュールの小型化。

【解決手段】 下面に外部電極端子及び放熱パッドを有するモジュール基板と、高周波電力増幅装置の初段トランジスタを組み込んだ第 1 半導体チップと、次段及び最終段トランジスタを組み込んだ第 2 半導体チップと、整合回路を構成する集積受動デバイスとを有し、第 1 半導体チップ及び第 2 半導体チップのうちの少なくとも一つの半導体チップと集積受動デバイスは重ねてモジュール基板の上面に搭載されている。第 2 半導体チップはモジュール基板の上面に設けられた窪みの底に搭載される。窪みの底には前記放熱パッドに接続される複数のビアが設けられている。窪みから外れたモジュール基板の上面には第 1 半導体チップや抵抗、コンデンサ等のディスクリート部品が搭載されている。半導体チップや各部品はモジュール基板の上面に形成された封止部で被われている。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 7 9 0 4 7
受付番号	5 0 2 0 1 9 8 2 2 8 6
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 8 日

＜認定情報・付加情報＞

【提出日】 平成14年12月27日

次頁無

【書類名】 出願人名義変更届（一般承継）
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2002-379047
【承継人】
【識別番号】 503121103
【氏名又は名称】 株式会社ルネサステクノロジ
【承継人代理人】
【識別番号】 100083552
【弁理士】
【氏名又は名称】 秋田 収喜
【提出物件の目録】
【包括委任状番号】 0308731
【物件名】 承継人であることを証明する登記簿謄本 1
【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け提出の会社分割による特許権移転登録申請書 を援用する
【物件名】 権利の承継を証明する承継証明書 1
【援用の表示】 特願平 5 - 1 6 1 5 4 5 号 同日提出の出願人名義変更届（一般承継）を援用する

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 7 9 0 4 7
受付番号	5 0 3 0 1 2 2 9 9 5 7
書類名	出願人名義変更届（一般承継）
担当官	植田 晴穂 6 9 9 2
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成15年 7月25日

特願 2 0 0 2 - 3 7 9 0 4 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 3 1 日

新規登録

住 所
氏 名

東京都千代田区神田駿河台 4 丁目 6 番地
株式会社日立製作所

特願 2 0 0 2 - 3 7 9 0 4 7

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ